

Carrera: Ingeniería Electrónica**Asignatura:** Técnicas Digitales IV (Electiva)**Planificación a partir del Ciclo Lectivo 2023****1. Datos administrativos de la asignatura**

Nivel en la carrera	6	Duración	Cuatrimestral
Plan	2024		
Bloque curricular:	Tecnologías Aplicadas		
Carga horaria presencial semanal (hs. cátedra):	6	Carga Horaria total (hs. reloj):	72
Carga horaria no presencial semanal (hs. reloj) (si correspondiese)	0	% horas no presenciales (hs. reloj) (si correspondiese)	0.

2. Presentación, Fundamentación

En cuanto a las Técnicas Digitales (I, II y III), esta electiva es correlativa por ser continuación de los contenidos temáticos del área completa.

En cuanto a Electrónica Aplicada I y II, Medidas Electrónicas I y II, y Electrónica de Potencia, son requisitos por tener en su contenido las bases de las aplicaciones que se desarrollarán en los trabajos prácticos.

Se espera que los alumnos puedan realizar diseños y soluciones ad hoc de alta eficiencia mediante lógica y analógica programable (CPLDs, FPGAs, FPAA's, SOCs) y con las técnicas propias del diseño de circuitos integrados específicos, sin necesidad de esperar el ciclo de fabricación y pruebas de los ASIC, y aprovechando la facilidad de reprogramación y prototipado rápido de esta tecnología.

3. Relación de la asignatura con las competencias de egreso de la carrera

En la tabla siguiente se establece la relación de la asignatura con las competencias de egreso: Específicas, Genéricas Tecnológicas y Genéricas Sociales, Políticas y Actitudinales de la carrera.

Se incluyen las competencias de egreso a las que tributa, aportes reales y significativos de la asignatura, y en qué nivel (no aporta, bajo, medio, alto).

Competencias	Nivel
Competencias genéricas tecnológicas (CG):	
CG.1. Identificación, formulación y resolución de problemas de ingeniería electrónica.	Bajo
CG.2. Concepción, diseño y desarrollo de proyectos de ingeniería electrónica.	Bajo
CG.3. Gestión, planificación, ejecución y control de proyectos de ingeniería electrónica.	No aporta
CG.4. Utilización de técnicas y herramientas de aplicación en la ingeniería electrónica.	No aporta
CG.5 Generación de desarrollos tecnológicos y/o innovaciones tecnológicas.	Medio
Competencias genéricas sociales, políticas y actitudinales (CG)	
CG.6. Fundamentos para el desempeño en equipos de trabajo.	Medio
CG.7 Fundamentos para una comunicación efectiva.	No aporta
CG.8. Fundamentos para una actuación profesional ética y responsable.	No aporta
CG.9. Fundamentos para evaluar y actuar en relación con el impacto social de su actividad profesional en el contexto global y local.	No aporta
CG.10. Fundamentos para el aprendizaje continuo.	No aporta
CG.11 Fundamentos para el desarrollo de una actitud profesional emprendedora.	No aporta
Competencias Específicas de la carrera	
CE 1.1. Diseñar, proyectar y calcular sistemas, equipos y dispositivos de generación, transmisión y/o procesamiento de campos y señales analógicos y digitales; circuitos integrados; hardware de sistemas de cómputo de propósito general y/o específico y el software a él asociado; hardware y software de sistemas embebidos y dispositivos lógicos programables; sistemas de automatización y control; sistemas de procesamiento y de comunicación de datos y sistemas irradiantes, para brindar soluciones óptimas de acuerdo a las condiciones técnicas, legales, económicas, humanas y ambientales.	No aporta
CE 1.2. Plantear, interpretar, modelar y resolver los problemas de ingeniería descritos.	No aporta
CE 1.3. Plantear, interpretar, modelar, analizar y resolver problemas, diseño e implementación de circuitos y sistemas electrónicos.	No aporta
CE 1.4. Diseñar, proyectar y calcular circuitos y sistemas digitales.	No aporta
CE 1.5. Diseñar, proyectar y calcular circuitos y sistemas para la generación, recepción, transmisión, procesamiento y conversión de campos y señales para sistemas de comunicación.	No aporta
CE 1.6. Diseñar, proyectar y calcular circuitos y sistemas de control.	No aporta
CE1.7. Diseñar, proyectar y calcular circuitos y sistemas electrónicos aplicados a la generación, manejo, amplificación, procesamiento, instrumentación y acondicionamiento de energía eléctrica y señales de distinta naturaleza.	No aporta

CE 2.1. Proyectar, dirigir y controlar la construcción, implementación, mantenimiento y operación de lo mencionado anteriormente.	No aporta
CE 3.1. Validar y certificar el funcionamiento, condición de uso o estado de los sistemas mencionados anteriormente.	No aporta
CE 4.1. Proyectar y dirigir lo referido a la higiene y seguridad en la actividad profesional de acuerdo con la normativa vigente.	No aporta
CE 5.1. Diseñar, Proyectar, Calcular y Aplicar dispositivos semiconductores, aplicando estrategias conceptuales y metodológicas asociadas a los principios de cálculo, diseño y simulaciones, con el objeto de optimizar con sentido innovador, responsabilidad profesional y compromiso social, los recursos existentes.	No aporta
CE 6.1. Diseñar, proyectar, calcular, implementar e instalar equipamiento electrónico y su interconexión, aplicados a sistemas de energía, empleando criterios de eficiencia energética y seguridad eléctrica, con responsabilidad económica y social.	No aporta
CE 7.1 Diseñar, Proyectar, Calcular e Instalar sistemas, subsistemas, equipos, componentes, partes, y piezas electrónicas para control, medición, regulación y protección de máquinas eléctricas en redes de baja tensión y sistemas de generación y distribución de energía eléctrica, para brindar soluciones en el marco de las normas vigentes, aplicando criterios de eficiencia energética, seguridad eléctrica, y cuidado del medio ambiente.	No aporta
CE 8.1. Diseñar, Proyectar, Calcular e Implementar sistemas, subsistemas, equipos, componentes, partes y piezas electrónicas, de navegación o señalización de vehículos, aplicando criterios técnicos, de seguridad y regulatorios vigentes, y estrategias conceptuales y metodológicas asociadas a los principios de cálculo y diseño con sentido innovador.	No aporta
CE 9.1. Evaluar el impacto ambiental de sistemas, subsistemas, equipos, componentes, partes, y piezas relacionadas con la actividad profesional establecida por sus actividades reservadas y los alcances, de acuerdo con la normativa vigente y aplicando estrategias conceptuales y metodológicas asociadas a los principios de las buenas prácticas profesionales, con el objeto de resguardar el medio ambiente.	No aporta
CE 10.1. Realizar estudios, tareas y asesoramientos, relacionados con la actividad profesional establecida por sus actividades reservadas y los alcances, aportando sus saberes, competencias y/o técnicas, para brindar soluciones óptimas y eficientes en el marco de las normas vigentes y las condiciones técnicas, legales, económicas, humanas y ambientales establecidas.	No aporta
CE 10.2 Realizar pericias, tasaciones y arbitrajes relacionados con su actividad profesional, respetando marcos normativos y jurídicos con el objeto de asesorar a las partes o a los tribunales de Justicia.	No aporta
CE 10.3 Evaluar aspectos económicos, financieros y de inversiones, para la determinación de proyectos, bienes y servicios, relacionados con su actividad profesional, analizando variables micro y macroeconómicas e interpretando la realidad económica en el contexto nacional e internacional.	No aporta

4. Contenidos Mínimos

- Dispositivos lógicos programables (CPLD, FPGA).
- Dispositivos analógicos programables (FPAA).

- Sistemas en un chip (SOC) que integran lógica/analógica programable y CPUs.

5. Objetivos establecidos en el DC

Que los y las estudiantes sean capaces de:

- **Determinar la partición hardware/software en sistemas en un chip.**
- **Desarrollar circuitos lógicos y analógicos del procesamiento de señales.**
- **Integrar en un mismo hardware, entradas, salidas, procesamiento de señales y de datos.**

6. Resultados de aprendizaje

Los siguientes resultados de aprendizaje se promueven en el desarrollo de la asignatura

Identificador de RA	Redacción
RA1	Evaluar el uso de las diferentes alternativas de descripción de Hardware para determinar el correcto conocimiento de la sintaxis del lenguaje y la descripción del comportamiento de diferentes sistemas y su correcta verificación mediante las herramientas de simulación.
RA2	Construir un control de lazo cerrado en velocidad y de posición de un motor de C.C. Utilizando lenguaje de descripción de hardware para el lazo de control y sintetizarlo en un CPLD.
RA3	Diseñar un circuito generador de señal de ajuste de un monitor VGA de 640 x 480 pixeles, utilizando lenguaje de descripción de hardware y sintetizarlo para ser implementado en una FPGA con conector VGA disponible.
RA4	Diseñar un circuito de comunicaciones serial I2C, SPI o PS/2 utilizando lenguaje de descripción de hardware y sintetizarlo para ser implementado en una FPGA.
RA5	Evaluar una correcta implementación al embeber un microcontrolador en una FPGA y simular con código ensamblador que realice un contador utilizando interrupciones.
RA6	Diseñar filtros IIR y FIR digitales con base de diseño de coeficientes de los filtros en MatLab y con la descripción de filtros en lenguaje de descripción de hardware y simular la correcta implementación de los filtros implementado en una FPGA.
RA7	Proyectar un trabajo integrador final con el objetivo de mejorar y adaptar varios de los trabajos prácticos para resolver algún problema propuestos.

7. Relación de los RA y las competencias

En la tabla siguiente se indica con X la tributación de cada Resultado de Aprendizaje con las competencias de egreso: específicas, genéricas tecnológicas, sociales, políticas y actitudinales de la carrera.

RA	CE1.1	CE1.2	CE1.3	CE1.4	CE1.5	CE1.6	CE1.7	CE2.1	CE3.1	CE4.1	CE5.1	CE6.1	CE7.1	CE8.1	CE9.1	CE10.1	CE10.2	CE10.3
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

RA	CG1	CG2	CG3	CG4	CG5	CG6	CG7	CG8	CG9	CG10	CG11
RA1	X	X									
RA2	X	X									
RA3	X	X									
RA4	X	X									
RA5	X	X									
RA6	X	X									
RA7	X	X									

8. Asignaturas correlativas previas

Para cursar y rendir debe tener cursadas:

- Asignatura/s:
29- Técnicas Digitales III
34- Electrónica de Potencia

Para cursar y rendir debe tener aprobada:

- Asignatura/s:
16- Técnicas Digitales I
22- Técnicas Digitales II
27- Medidas Electrónicas I
30- Medidas Electrónicas II
27- Electrónica Aplicada II

9. Asignaturas correlativas posteriores

Indicar las asignaturas correlativas posteriores:

- Asignatura/s:
37- Proyecto final

10. Programa analítico

Este programa analítico contempla los contenidos mínimos, previstos en el DC vigente, y aquellos que se consideran necesarios para desarrollar los resultados de aprendizaje propuestos.

UNIDAD N°: 1

ARQUITECTURA LÓGICA PROGRAMABLE.

Contenidos: Circuitos integrados digitales: familias standard, full custom, celdas normalizadas, arreglos de compuertas, lógica programable. Historia del desarrollo de la lógica programable. Revisión de arquitecturas ROM, PLA, PAL y GAL. Arquitecturas CPLD y FPGA de los principales fabricantes. Recursos programables y dedicados.

Carga horaris por Unidad: 10Hs cátedra

UNIDAD N°: 2.

DISEÑO CON LENGUAJES DE DESCRIPCIÓN DE HARDWARE.

Contenidos: Flujo de diseño: Metodología Top-down y Bottom-up. Especificación funcional, herramientas de desarrollo y verificación. Síntesis, mapeo, ubicación y ruteo. Diseño síncrono. Retardos y pipelines. Análisis temporal estático. Verificación post-síntesis. Verificación formal. Lenguaje VHDL: Componentes e instanciación. Bancos de prueba.

Carga horaria por Unidad: 11 Hs cátedra

UNIDAD N° 3.

ENTRADA Y SALIDA EN FPGAs.

Contenidos: Decodificador de encoder. Salidas PWM. Control de lazo de velocidad de un motor de CC con lógica programable. Generación de salida de video VGA. Control de puertos PS/2 para teclado y ratón. UART, SPI e I2C.

Carga horaria por Unidad: 38Hs cátedra

UNIDAD N°:4.

PROCESADORES EMBEBIDOS.

Contenidos: Introducción al microprocesador Xilinx Picoblaze®. Máquinas de estado programables. Arquitectura interna. Conjunto de instrucciones. Puertos de interconexión. Interrupciones y entrada/salida. Herramientas y lenguaje ensamblador.

Carga horaria por Unidad: 12Hs cátedra

UNIDAD N° 5.

PROCESAMIENTO DIGITAL DE SEÑALES CON FPGA.

Contenidos: Representación numérica de punto fijo. Implementación de filtros IIR y FIR. Arquitecturas series y paralelas. Operaciones matriciales. Implementación de FFT.

Carga horaria por Unidad: 10Hs cátedra

UNIDAD N°6.

SISTEMAS EN CHIP (SOC: System on Chip)

Contenidos: Componentes Open Source (Opencores.org). Single core y Multicore. Xilinx Zynq SOC (FPGA + ARM A9 doble núcleo). Arquitectura Cypress PSOC con CPLD, ARM Cortex-M3 y FPAA. Arquitectura multicore Parallax Open PropellerOne en Verilog.

Carga horaria por Unidad: 15Hs cátedra

Carga horaria por tipo de formación práctica de toda la asignatura

Tipo de formación práctica	Horas reloj
Formación experimental	Cantidad de horas.
Análisis y resolución de problemas de ingeniería y estudios de casos	40
Formulación, análisis y desarrollo de proyectos.	9

Bibliografía Obligatoria:

Pérez, Serafín Alfonso; Soto, Enrique; Fernández, Santiago. (2002). *Diseño de Sistemas Digitales con VHDL*. (Ubicación biblioteca UTN: 621.392 PER d). Thomson - Paraninfo

García Iglesias, José M.; Pérez Iglesias, Emilio J. (2006) *Dispositivos Lógicos Programables (PLDs): Diseño práctico de aplicaciones*. (Ubicación biblioteca UTN: 629.89 GAR d). , Alfaomega - Ra-Ma

Brown, Stephen; Vranesic, Zvonko. (2006). *Fundamentals of Digital Logicwith VHDL design* . (Ubicación biblioteca UTN: CDR/17 –CD- y 621.395 BRO f –libro-). McGraw-Hill

Bibliografía optativa y otros materiales a utilizar en la asignatura:

Meyer-Baese, Uwe. (2007). *Digital signal processing with field programmable gate arrays (DSP withFPGAs)*. (Ubicación biblioteca UTN: CDR/19 –CD- y 621.382`2 MEY d –libro-). Springer

Uyemura, John P. (2000). *Introducción al diseño de sistemas digitales: un enfoque integrado*.(Ubicación biblioteca UTNUbicación: 621.395 UYE i). Thomson

Lloris Ruiz, Antonio; Prieto Espinosa, Alberto; Parrilla Roure, Luis. (2003). *Sistemas digitales* .(Ubicación: 621.395 LLO s). McGraw-Hill

Ashenden, Peter J. (2008). *The designer's guide to VHDL*. (Ubicación UTN: 621.392 ASH d). USA, Elsevier

Pardo Carpio Fernando; Boluda Grau, José. (2004). *VHDL - Lenguaje para síntesis y modelado de circuitos (libro con CD)*. Alfaomega - Ra-Ma

11. Metodología de enseñanza

Clases Teóricas

Mediante lecciones magistrales participativas se hacen las introducciones de cada tema principal. Se hace plantea la resolución de ejercicios y el estudio de casos elementales de circuitos básicos que se usarán como componentes de sistemas más complejos.

Clases Prácticas

Se emplea la formación experimental en laboratorios de acceso local, siendo la resolución de ejercicios la práctica inicial, y continuando con la resolución de problemas y el aprendizaje basado en el diseño, mediante la descripción del hardware de las soluciones planteadas en VHDL/Verilog en presentaciones escritas y orales, su simulación sobre computadora y su implementación sobre plataformas de hardware basadas en CPLDs, FPGAs, FPAAs y SOCs disponibles en el Laboratorio de Técnicas Digitales e Informática del Departamento Ingeniería Electrónica. El trabajo de las y los estudiantes fomentará el aprendizaje cooperativo en grupos pequeños.

Trabajo final:

Como trabajo final se plantea la resolución de problemas mediante el desarrollo de un proyecto construido con VHDL/Verilog implementado en CPLD, FPGA, FPAAs, SOC.

El objetivo final de la asignatura es el desarrollo de un proyecto a elección de cada alumno o determinado por la cátedra. Dependiendo de la complejidad de este proyecto podrá ser abordado mediante el aprendizaje basado en problemas. Asimismo las propuestas de las y los estudiantes permiten el aprendizaje basado en el diseño de soluciones de hardware realizando a su vez un aprendizaje cooperativo en grupos pequeños, incentivando la formación experimental en laboratorios de acceso local, donde se realizarán presentaciones escritas y orales. La meta de esta última parte de la materia es que el alumno pueda aplicar todos los conocimientos que se han adquirido durante el transcurso de la asignatura, tanto en lenguajes de descripción de hardware como en dispositivos programables, y volcarlos al desarrollo de un pequeño proyecto pasando por todas las etapas de diseño.

12. Recomendaciones para el estudio

Aula Virtual - Autogestión

Se recomienda verificar al inicio del cursado de la asignatura la disponibilidad de acceso al Aula Virtual de la materia. En este espacio se almacenan videos, documentos, bibliografía, material complementario, etc relativos a las actividades a realizar a lo largo del año. Se dispone en este espacio virtual de un foro donde se pueden intercambiar; en forma asincrónica, inquietudes, dudas, conceptos, etc entre los estudiantes. Es importante, que basados en las planificaciones,

13. Metodología de evaluación

El modelo de enseñanza basado en competencias implica la aplicación de metodologías e instrumentos de evaluación que permiten conocer, a docentes y estudiantes, el nivel de desarrollo de las competencias que aborda la asignatura.

Criterios de evaluación

Evaluación continua durante el curso mediante trabajos prácticos y coloquios. Realización de un proyecto final que será evaluado mediante un coloquio contra presentación del informe correspondiente.

Evaluaciones Sumativas

Evaluación Escrita de Conceptos Teóricos y/o Prácticos mediante 1 (UN) cuestionario parcial ubicado temporalmente al final del cuatrimestre.

Evaluaciones Formativas

Presentación escritas con los resultados obtenidos de los trabajos prácticos de laboratorio y posterior coloquio oral, donde se califica de manera individual a cada integrante según su desempeño. Trabajo cooperativo desarrollado en grupo.

En los coloquios se verificará el correcto desarrollo de las actividades planteadas en cada trabajo práctico, la generación del informe correspondiente siguiendo las consideraciones establecidas en la cátedra, y el desempeño de cada integrante para comunicar eficientemente los resultados obtenidos.

Descripción de los Criterios de Evaluación

Criterio Evaluación 1	Comprende el enunciado del práctico vinculado a la RA
Criterio Evaluación 2	Realiza la descripción de hardware correctamente.
Criterio Evaluación 3	Utiliza la Herramienta correctamente para realizar el HDL
Criterio Evaluación 4	Realiza correctamente la verificación del RTL
Criterio Evaluación 5	Realiza la descripción para la simulación
Criterio Evaluación 6	Verifica, interpreta la simulación.
Criterio Evaluación 7	Verifica, interpreta la simulación (post Fit).
Criterio Evaluación 8	Maneja los kit didácticos para validar los prácticos.
Criterio Evaluación 9	Realiza el informe técnico para dar a conocer los resultados del estudio
Criterio Evaluación 10	Documenta con información precisa los HDL.

Criterio Evaluación 11	Trabaja en forma grupal para realizar todas las tareas establecidas durante el desarrollo del práctico
Criterio Evaluación 12	Hace búsqueda y selección de información relevante para el desarrollo del práctico.

A continuación, se detallan todos los Resultados de Aprendizajes con sus contenidos a desarrollar para alcanzarlos, la mediación pedagógica, metodologías y estrategias de evaluación, tiempo en horas reloj.

Resultados de Aprendizaje	Contenidos según programa	Mediación Pedagógica	Metodología y Estrategias de Evaluación	Tiempos en hora reloj
RA1	UN°1 - ARQUITECTURA LÓGICA PROGRAMABLE. UN°2 - DISEÑO CON LENGUALES DE DESCRIPCIÓN DE HARDWRE	Lección Magistral Participativa Resolución de Problemas Formación Experimental en Laboratorio de Acceso Local Presentaciones Escritas y Orales	Instrumento de evaluación. TP N°1: Resolución de los problemas de entrenamientos. 1er Coloquio T/P Criterio de Evaluación 1 al 12	Horas Presenciales 12 Horas Teoría 2 Horas Práctica 8 Horas Laboratorio 2 Horas Extra áulicas 24
RA2	UN°3 - Entradas y Salidas en FPGAs y CPLDs	Lección Magistral Participativa Formación Experimental Aprendizaje Cooperativo en Grupos Pequeños AB en diseño Presentaciones Escritas	Instrumento de evaluación TP N°2: Control a lazo cerrado de un motor de CC 1er Coloquio T/P Criterio de Evaluación 1 al 12	Horas Presenciales 14 Horas Teoría 2 Horas Práctica 2 Horas Laboratorio 10 Horas Extra áulicas 28
RA3	UN°3 Entradas y Salidas en FPGAs y CPLDs	Lección Magistral Participativa Formación experimental Aprendizaje Cooperativo en Grupos Pequeños AB en diseño	Instrumentos de Evaluación TP N°3: Señal de video con barras de colores como señal de ajuste	Horas Presenciales 11 Horas Teoría 1 Horas Laboratorio 10 Horas Extra áulicas 22

		Presentaciones Escritas	Criterio de Evaluación 1 al 12	
RA4	UN°3 -Entradas y Salidas en FPGAs y CPLDs	Lección Magistral Participativa Formación Experimental Aprendizaje Cooperativo en Grupos Pequeños AB en diseño Presentaciones Escritas	Instrumentos de Evaluación TP N°4: Comunicaciones seriales - I2C, SPI, UART Criterio de Evaluación 1 al 12	Horas Presenciales 10 Horas Teoría 2 Horas Laboratorio 8 Horas Extra áulicas 20
RA5 Elija un elemento.	UN°4 - Procesadores embebidos	Lección Magistral Participativa Formación Experimental Aprendizaje Cooperativo en Grupos Pequeños AB en diseño Presentaciones Escritas	Instrumentos de Evaluación TP N°5: PicoBlace embebido en FPGA Criterio de Evaluación 1 al 12	Horas Presenciales 8 Horas Teoría 1 Horas Práctico 1 Horas Laboratorio 6 Horas Extra áulicas 16
RA6 Elija un elemento.	UN°5 - Procesamiento digital de señales con FPGA	Lección Magistral Participativa Formación Experimental Aprendizaje Cooperativo en Grupos Pequeños AB en diseño Presentaciones Escritas	Instrumentos de Evaluación TP N°6: Filtros Digitales Criterio de Evaluación 1 al 12	Horas Presenciales 7 Horas Teoría 2 Horas Práctica 1 Horas Laboratorio 4 Horas Extra áulicas 14
RA7	UN°1 a la UN°6	Resolución de Problemas Formación Experimental Aprendizaje Cooperativo en Grupos Pequeños AB en diseño Presentaciones Escritas y Orales	Instrumentos de Evaluación TP N°7: Trabajo final integrador 2° Coloquio T/P Criterio de Evaluación 1 al 12	Horas Presenciales 10 Horas Teoría 1 Horas Laboratorio 9 Horas Extra áulicas 20

14. Condiciones de aprobación

Para la REGULARIZACIÓN:

- Aprobar los dos coloquios. En caso de resultar aplazado en alguno, el alumno deberá rendir un recuperatorio con el tema aplazado.
 - Se podrán recuperar hasta los dos coloquios.
 - Para aprobar, el alumno deberá obtener una calificación igual o mayor a 6 (seis) puntos, de acuerdo con el nuevo régimen de calificaciones.
 - Tener aprobados 5 de 6 prácticos de laboratorio antes de la última semana de clases, el restante se deberá presentar antes del proyecto final.
 - Tener un 60% de asistencia de acuerdo a la nueva reglamentación
- Cumplido estos términos, queda como regular y podrá inscribirse en los turnos de examen para rendir la materia en forma teórica y práctica.

Para la APROBACIÓN DIRECTA de la asignatura el alumno deberá:

- Cumplir las condiciones de "ALUMNO REGULAR" anteriormente mencionadas.

Además, deberá:

- Presentar un proyecto final utilizando lógica programable. Incorporar en un proyecto lo aprendido en la materia, junto con un valor agregado que acredite un esfuerzo extra, para lograr un resultado interesante no demostrado ya por los profesores.
 - La presentación del proyecto final incluye un coloquio teórico / práctico sobre el contenido de la materia y en especial del trabajo final presentado.
 - El coloquio será tomado por el profesor del curso en el cual se encuentre inscripto el estudiante.
 - El proyecto podrá ser realizado en grupo de no más de dos estudiantes, el coloquio será individual.
 - Tener un 75% de asistencia de acuerdo a la nueva reglamentación.
- EL PLAZO MÁXIMO PARA PRESENTAR EL PROYECTO FINAL ES EL ÚLTIMO DÍA DE CLASES.**

15. Modalidad de examen

Para alumno REGULAR

- 1- Rendir teórico con múltiple Choice.
- 2- Realizar la descripción de un problema en HDL.

Sintetizar.

Mostrar RTL

Realizar la simulación Post Fit

3- Descargar la síntesis en un kit de CPLD o FPGA

4- Coloquio sobre todos los temas de la materia.

Para alumno con PROMOCION PRÁCTICA

Presentar informe del trabajo final.

Coloquio individual (si se trabajó en grupo) sobre todos los temas de la materia.

16. Recursos necesarios

Horario disponible en el laboratorio de Técnicas Digitales en los horarios de dictado de la cátedra.

Cañón proyector con entrada HDMI.

Computadoras con el software ISE Xilinx 14.0 o superior versión 32 bits.

Computadoras con el software ISE Xilinx 14.0 o superior versión 64 bits.

Computadoras con el software Intel Altera Quartus Free Web Edition.

Kits de CPLD con minilab incorporado.

Kits de banco de motor CC con encoder 500 PPV y llave H de potencia.

Kits de desarrollo con FPGA, FPAA, SOC.

-

Anexo I: Plantel docente de la asignatura			
Titular	Sergio Daniel Olmedo	Dedicación:	1 DS
Asociado		Dedicación:	
Adjunto:	Pablo Cayuela	Dedicación:	1 DS
Jefe de Trabajos Prácticos		Dedicación:	
Auxiliar de 1ra.		Dedicación:	
Auxiliar de 2da.		Dedicación:	

FIRMA (Jefe o encargado de cátedra).

Anexo II: Cronograma de clases/trabajos prácticos/evaluaciones (por comisión)

COMISIÓN: Indique la comisión.			
Nro. de Semana	Fecha	Tema	Tipo de Actividad
1	Indique la fecha	Presentación de la materia. Presentación del docente. Aclaraciones sobre el reglamento de la cátedra. Realización de una encuesta personal para conocer el nivel académico del alumno	Teórico
1	Indique la fecha	Arquitectura lógica programable: FPGA	Teórico
2	Indique la fecha	Unidad N°2 – DISEÑO CON LENGUAJES DE DESCRIPCIÓN DE HARDWARE. Descripción de Hardware : VHDL, EDA	Teórico/Práctico
2	Indique la fecha	Historia y evolución de los lenguajes de descripción de hardware	Teórico
2	Indique la fecha	Estado del arte en VHDL. Aplicaciones actuales. Visión hacia el futuro	Teórico
2	Indique la fecha	Presentación de las herramientas EDA a utilizar en el curso: entorno de desarrollo Xilinx ISE, simulador ISIM, entorno de desarrollo Xilinx Vivado.	Teórico/Práctico
2	Indique la fecha	Generación de un proyecto con el software ISE 10 de Xilinx. Práctico 1: Resolución de problemas de entrenamiento.	Laboratorio
3	Indique la fecha	Unidad N°3 - ENTRADA Y SALIDA EN FPGAs. Práctico 2-a: Máquina de estado decodificador de encoder, generador de señales PWM,	Laboratorio
4	Indique la fecha	Práctico 2-b: contador ascendente/descendente	Laboratorio

		con visualización en 4 displays de 7 segmentos, sobre CPLD y FPGA.	
5	Indique la fecha	Práctico 2-c: Control de lazo de velocidad de un motor de CC con lógica programable.	Laboratorio
5	Indique la fecha	Práctico 2-c: Control de lazo de velocidad de un motor de CC con lógica programable.	Laboratorio
5	Indique la fecha	Práctico 3: Generación de salida de video VGA. Práctico 4: Control de puertos PS/2 para teclado y ratón sobre FPGA; SPI/I2C para displays y sensores.	Laboratorio
6	Indique la fecha	Práctico 3: Generación de salida de video VGA. Práctico 4: Control de puertos PS/2 para teclado y ratón sobre FPGA; SPI/I2C para displays y sensores	Laboratorio
7	Indique la fecha	Unidad N°4 – PROCESADORES EMBEBIDOS Práctico 5: CPU softcore Picoblaze en FPGA.	Laboratorio
8	Indique la fecha	Unidad N°4 – PROCESADORES EMBEBIDOS Práctico 5: CPU softcore Picoblaze en FPGA.	Laboratorio
9	Indique la fecha	Coloquio	Evaluación
10	Indique la fecha	Unidad N° 5 PROCESAMIENTO DIGITAL DE SEÑALES CON FPGA Práctico 6: Implementación de filtros FIR en FPGA.	Laboratorio
10	Indique la fecha	Práctico 6: Implementación de filtros	Laboratorio

		FIR en FPGA.	
12	Indique la fecha	Práctico 6: Implementación de filtros FIR en FPGA.	Laboratorio
13	Indique la fecha	Práctico 6: Implementación de filtros FIR en FPGA.	Laboratorio
14	Indique la fecha	Unidad N° 5 SISTEMAS EN CHIP (SOC: System on Chip) Prácticas y demostraciones: Componentes Open Source (Opencores.org). Single core y Multicore. Xilinx Zynq SOC (FPGA + ARM A9 doble núcleo). Arquitectura Cypress PSOC con CPLD, ARM Cortex-M3 y FPAA. Arquitectura multicore Parallax Open PropellerOne en Verilog.	Laboratorio
14	Indique la fecha	2do Coloquio	Evaluación
15	Indique la fecha	TRABAJO FINAL Desarrollo de un proyecto mediante VHDL/Verilog implementado en CPLD, FPGA, SOC.	Laboratorio
15	Indique la fecha	TRABAJO FINAL Desarrollo de un proyecto mediante VHDL/Verilog implementado en CPLD, FPGA, SOC.	Laboratorio
16	Indique la fecha	Recuperatorio de los coloquios	Evaluación
16	Indique la fecha	TRABAJO FINAL	Evaluación

FIRMA (de cada docente que conforman la comisión).